

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-212217

(43)Date of publication of application : 11.08.1995

(51)Int.Cl.

H03K 19/0944

(21)Application number : 06-017744

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 19.01.1994

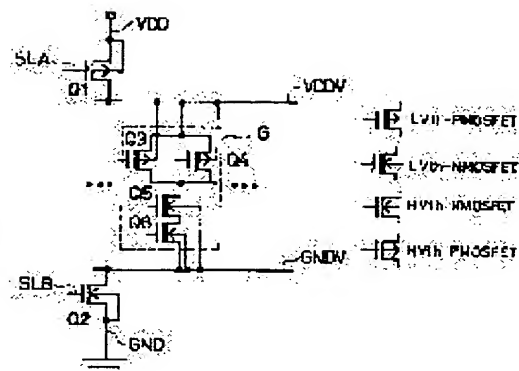
(72)Inventor : MATSUTANI YASUYUKI
MUTO SHINICHIRO
DOUSEKI TAKAKUNI
YAMADA JUNZO

(54) LOGIC CIRCUIT

(57)Abstract:

PURPOSE: To reduce the area of logic cells and to prevent design efficiency from being deteriorated.

CONSTITUTION: A high-potential pseudo power supply line VDDV is connected to one power supply terminal of a logic gate G, and a low-potential pseudo power supply line GNDV is connected to the other power supply terminal. An HVth-PMOSFET Q1 is connected between the pseudo power supply line VDDV and a real power supply line VDD, and an HVth-NMOSFET Q2 is connected between the pseudo power supply line GNDV and a real power supply line GND. The back gates of LVth-PMOSFET Q3 and Q4 are not connected to the real power supply line VDD but connected to the pseudo power supply line VDDV. The back gates of LVth-NMOSFET Q5 and Q6 are not connected to the real power supply line GND but connected to the dummy power supply line GNDV.



LEGAL STATUS

[Date of request for examination]

03.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3245663

[Date of registration]

02.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

LOGIC CIRCUIT

Patent Number: JP7212217
Publication date: 1995-08-11
Inventor(s): MATSUTANI YASUYUKI; others: 03
Applicant(s): NIPPON TELEGR & TELEPH CORP
Requested Patent: JP7212217
Application Number: JP19940017744 19940119
Priority Number(s):
IPC Classification: H03K19/0944
EC Classification:
Equivalents: JP3245663B2

Abstract

PURPOSE: To reduce the area of logic cells and to prevent design efficiency from being deteriorated.
CONSTITUTION: A high-potential pseudo power supply line VDDV is connected to one power supply terminal of a logic gate G, and a low-potential pseudo power supply line GNDV is connected to the other power supply terminal. An HVth-PMOSFET Q1 is connected between the pseudo power supply line VDDV and a real power supply line VDD, and an HVth-NMOSFET Q2 is connected between the pseudo power supply line GNDV and a real power supply line GND. The back gates of LVth-PMOSFET Q3 and Q4 are not connected to the real power supply line VDD but connected to the pseudo power supply line VDDV. The back gates of LVth-NMOSFET Q5 and Q6 are not connected to the real power supply line GND but connected to the dummy power supply line GNDV.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平7-212217

(43) 公開日 平成7年(1995)8月11日

(51) Int.Cl.⁶

H 0 3 K 19/0944

識別記号

庁内整理番号

F I

技術表示箇所

8839-5 J

H 0 3 K 19/ 094

A

審査請求 未請求 請求項の数 3 F D (全 6 頁)

(21) 出願番号 特願平6-17744

(22) 出願日 平成6年(1994)1月19日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 松谷 康之

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 武藤 伸一郎

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 道関 隆国

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(74) 代理人 弁理士 山川 政樹

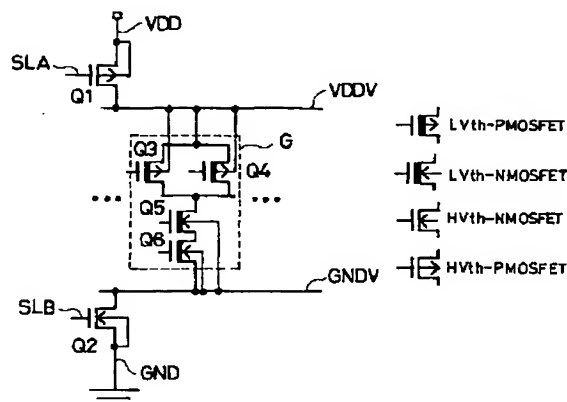
最終頁に続く

(54) 【発明の名称】 論理回路

(57) 【要約】

【目的】 論理セルの低面積化を図る。設計効率が悪化しないようにする。

【構成】 論理ゲートGの電源端子の一方に高電位の疑似電源線VDDVを接続し、他方に低電位の疑似電源線GNDVを接続する。疑似電源線VDDVと実電源線VDDとの間にHV_{th}-PMOSFET・Q1を接続し、疑似電源線GNDVと実電源線GNDとの間にHV_{th}-NMOSFET・Q2を接続する。LV_{th}-PMOSFET・Q3、Q4のバックゲートを、実電源線VDDではなく、疑似電源線VDDVに接続する。LV_{th}-NMOSFET・Q5、Q6のバックゲートを、実電源線GNDではなく、疑似電源線GNDVに接続する。



【特許請求の範囲】

【請求項1】 低しきい値のPチャネルおよびNチャネル形の電界効果トランジスタからなる低しきい値論理回路と、この低しきい値論理回路の電源端子の一方および他方に接続された第1および第2の疑似電源線と、前記第1の疑似電源線と第1の実電源線との間に接続された高しきい値の第1の電界効果トランジスタと、前記第2の疑似電源線と第2の実電源線との間に接続された高しきい値の第2の電界効果トランジスタとを備えた論理回路において、

前記低しきい値論理回路におけるPチャネル形の電界効果トランジスタのバックゲートが前記第1の疑似電源線に接続され、

前記低しきい値論理回路におけるNチャネル形の電界効果トランジスタのバックゲートが前記第2の疑似電源線に接続されていることを特徴とする論理回路。

【請求項2】 低しきい値のPチャネルおよびNチャネル形の電界効果トランジスタからなる第1～第Nの低しきい値論理回路と、この第1～第Nの低しきい値論理回路の電源端子の一方および他方に接続された第1および第2の疑似電源線と、前記第1の疑似電源線と第1の実電源線との間に接続された高しきい値の第1の電界効果トランジスタと、前記第2の疑似電源線と第2の実電源線との間に接続された高しきい値の第2の電界効果トランジスタとを備えた論理回路において、
前記第1～第Nの低しきい値論理回路におけるPチャネル形の電界効果トランジスタのバックゲートが前記第1の疑似電源線に接続され、
前記第1～第Nの低しきい値論理回路におけるNチャネル形の電界効果トランジスタのバックゲートが前記第2の疑似電源線に接続されていることを特徴とする論理回路。

【請求項3】 請求項1又は2において、低しきい値のPチャネルおよびNチャネル形の電界効果トランジスタ、高しきい値の第1および第2の電界効果トランジスタがMOSFETであることを特徴とする論理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、低電圧で動作可能な論理回路に関し、特に、動作時は低しきい値の電界効果トランジスタからなる低しきい値論理回路で高速動作を実現し、非動作時には高しきい値の電力制御用電界効果トランジスタをオフすることにより低リーク特性を実現する論理回路の改良に関するものである。

【0002】

【従来の技術】 近年、各種電子機器の携帯化の要求に応えるべく、集積回路の低電圧動作化が進められている。この種の回路例として、アイ・イー・イー「1V High-Speed Digital Circuit Technology With 0.5 μ m Multi-Threshold CMOS」Proceedings of IEEE A

SIC CONFERENCE PP.186-189, SEPT.1993.]に示されているMT-CMOS (Multi-Threshold CMOS) 回路を図5に示す。

【0003】 同図において、Gは論理ゲートであり、低しきい値のPチャネルMOSFET (LV_{th}-PMOSFET)・Q3、Q4およびNチャネルMOSFET (LV_{th}-NMOSFET)・Q5、Q6により構成されている。論理ゲートGの電源端子の一方には高電位の疑似電源線VDDVが接続され、他方には低電位の疑似電源線GNDVが接続されている。そして、疑似電源線VDDVと実電源線（高電位）VDDとの間に高しきい値のPチャネルMOSFET (HV_{th}-PMOSFET: 電力制御用MOSFET)・Q1が接続され、疑似電源線GNDVと実電源線GND（低電位: 接地電位）との間に高しきい値のNチャネルMOSFET (HV_{th}-NMOSFET: 電力制御用MOSFET)・Q2が接続されている。また、LV_{th}-PMOSFET・Q3、Q4のバックゲート（基板電位）は実電源線VDDに接続され、LV_{th}-NMOSFET・Q5、Q6のバックゲートは実電源線GNDに接続され、HV_{th}-PMOSFET・Q1のバックゲートは実電源線VDDに接続され、HV_{th}-NMOSFET・Q2のバックゲートは実電源線GNDに接続されている。なお、同図において、SLAおよびSLBは制御線であり、Q1およびQ2のゲートに接続されている。また、論理ゲートGは、同様に複数接続されている。

【0004】 このMT-CMOS回路では、通常動作時、SLAを低電位にし、SLBを高電位にする。これにより、Q1およびQ2が導通し、VDDVおよびGNDVがVDDおよびGNDに接続される。この場合、論理ゲートGは低しきい値のMOSFET・Q3～Q6で構成されているため、1V程度の低い電源電圧でも高速に動作することが可能となる。HV_{th}-MOSFET・Q1、Q2は一般のプロセスで用いられるV_{th}=0.5～0.7Vとする。LV_{th}-MOSFET・Q3～Q6は、製造バラツキがあってもノーマリオンにならないように、V_{th}=0.2～0.3V程度とする。このときの論理ゲートGの遅延を図6に示す。論理ゲートをHV_{th}-MOSFETで構成した場合、すなわち通常の論理ゲートでは、電源電圧1V程度の時に急減に遅延が劣化する。これに対して、LV_{th}-MOSFETのみで構成した論理ゲートGでは、その遅延が緩やかな劣化しか示さない。このため、電源電圧1V程度において、LV_{th}-MOSFETのみで構成した論理ゲートGはHV_{th}-MOSFETで構成した論理ゲートの3倍以上の速度を示す。これにより、図5に示したMT-CMOS回路では、電源電圧1V付近での速度特性が、HV_{th}-MOSFETで構成した通常の論理ゲートに対し、大幅に改善されていることが分かる。

【0005】 しかし、LV_{th}-MOSFETのリーク電

3

流は HV_{11} -MOSFETの1000倍以上となり、非動作時（スタンバイ時）の消費電流は無視し得なくなる。すなわち、低しきい値のMOSFETを使用する場合、そのスタンバイ時のリーク電流が極めて大きくなることが問題となる。このため、このMT-CMOS回路では、次のような方法で上述した問題を回避している。すなわち、スタンバイ時には、SLAを高電位にし、SLBを低電位にし、Q1およびQ2を遮断することにより、論理ゲートGの LV_{11} -MOSFET・Q3〜Q6で生じるリーク電流をカットする。この場合、 HV_{11} -MOSFET・Q1およびQ2のみのリーク電流となるため、スタンバイ時の電力は LV_{11} -MOSFETのみで構成した回路に対し1/1000以下となる。このように、このMT-CMOS回路を用いると、低電源電圧のときの高速動作とスタンバイ時の低電力を同時に実現することができるという利点を有する。

【0006】ところで、このMT-CMOS回路では、疑似電源線VDDV、GNDV、疑似電源線VDDV、GNDVと実電源線VDD、GNDとの間に入る電力制御用MOSFET・Q1、Q2およびそれらの制御線SLA、SLBが必要となり、そのままでは一般のCADでは取り扱うことができない。そこで、図7に示すような、MT-CMOS対応のスタンダードセル（論理セル）が提案されている。本図は、スタンダードセルSL0〜SLn+1を配置して、MT-CMOS回路を構成した例を示している。本スタンダードセルは、セル内に電源線VDD、GNDの他に疑似電源線VDDV、GNDVや制御線SLA、SLBを有しており、セルを並べるだけで自動的にそれらを接続できる構成となっている。なお、各セルに電圧を供給するパワーセルSL0、SLn+1には、制御線SLA、SLBで制御される高しきい値の電力制御用MOSFET・Q1、Q2が配置されている。このスタンダードセルを用いると、 HV_{11} -MOSFETで構成された通常のCMOS論理セルと同様のレイアウトをすることにより、自動的にMT-CMOS回路を構成することができる。

【0007】スタンダードセルSL1〜SLnはそれぞれ論理機能を持った論理ゲートG1〜Gnを内蔵している。論理ゲートG1〜Gnは LV_{11} -MOSFETで構成されている。論理ゲートG1〜Gnの電源端子の一方には高電位の疑似電源線VDDVが接続され、他方には低電位の疑似電源線GNDVが接続されている。疑似電源線VDDV、GNDVは、実電源線VDD、GNDから、Q1、Q2を介して電流の供給を受ける。また、スタンダードセルSL1〜SLnの保有する実電源線VDDおよびGNDには、論理ゲートG1〜Gnにおける LV_{11} -PMOSFETおよびNMOSFETの基板電位をとるための基板電位固定用コンタクトCTVおよびCTGが設けられている。

【0008】

4

【発明が解決しようとする課題】しかしながら、このような従来のMT-CMOS回路では、スタンダードセルSL1〜SLn内に実電源線VDD、実電源線GND、疑似電源線VDDV、疑似電源線GNDVの4本の配線が必要となり、スタンダードセルSL1〜SLnの占有面積が大きくなる。また、 HV_{11} -MOSFETで構成された通常のCMOS論理セルは電源線、GND線のみからなるため、このCMOS論理セルを用いた回路レイアウトをそのままMT-CMOS回路へ応用することができず、設計効率が悪化する。

【0009】本発明はこのような課題を解決するためになされたもので、その目的とするところは、論理セルの低面積化を図ることができ、また設計効率が悪化することのない論理回路を提供することにある。

【0010】

【課題を解決するための手段】このような目的を達成するために、本発明は、低しきい値のPチャネルおよびNチャネル形の電界効果トランジスタからなる低しきい値論理回路と、この低しきい値論理回路の電源端子の一方および他方に接続された第1および第2の疑似電源線と、第1の疑似電源線と第1の実電源線との間に接続された高しきい値の第1の電界効果トランジスタと、第2の疑似電源線と第2の実電源線との間に接続された高しきい値の第2の電界効果トランジスタとを備えた論理回路において、低しきい値論理回路におけるPチャネル形の電界効果トランジスタのバックゲートを第1の疑似電源線に接続するようにし、低しきい値論理回路におけるNチャネル形の電界効果トランジスタのバックゲートを第2の疑似電源線に接続するようにしたものである。

【0011】

【作用】したがってこの発明によれば、低しきい値論理回路におけるPチャネル形の電界効果トランジスタおよびNチャネル形の電界効果トランジスタの基板電位が、第1の疑似電源線および第2の疑似電源線よりとられる。

【0012】

【実施例】以下、本発明を実施例に基づき詳細に説明する。図1はこの発明の一実施例を示す図である。同図において、Gは論理ゲートであり、 LV_{11} -PMOSFET・Q3、Q4および LV_{11} -NMOSFET・Q5、Q6により構成されている。論理ゲートGの電源端子の一方には高電位の疑似電源線VDDVが接続され、他方には低電位の疑似電源線GNDVが接続されている。そして、疑似電源線VDDVと実電源線VDDとの間に HV_{11} -PMOSFET・Q1が接続され、疑似電源線GNDVと実電源線GNDとの間に HV_{11} -NMOSFET・Q2が接続されている。

【0013】ここで、図5に示した従来の回路と異なる点は、 LV_{11} -PMOSFET・Q3、Q4のバックゲートが実電源線VDDではなく、疑似電源線VDDVに

接続され、 LV_{th} -NMOSFET・Q5、Q6のバックゲートが実電源線GNDではなく、疑似電源線GNDVに接続されている点である。なお、 HV_{th} -PMOSFET・Q1のバックゲートは実電源線VDDに接続され、 HV_{th} -NMOSFET・Q2のバックゲートは実電源線GNDに接続され、制御線SLAおよびSLBがQ1およびQ2のゲートに接続されている点、および論理ゲートGが同様にして複数接続されている点は、図5に示した従来の回路と同じである。

【0014】このMT-CMOS回路においても、従来の回路と同様、通常動作時、SLAを低電位にし、SLBを高電位にする。これにより、Q1およびQ2が導通し、VDDVおよびGNDVがVDDおよびGNDに接続される。この時、 LV_{th} -PMOSFET・Q3、Q4の基板電位がVDDVよりとられ、 LV_{th} -NMOSFET・Q5、Q6の基板電位がGNDVよりとられる。この場合、論理ゲートGは低しきい値のMOSFET・Q3～Q6で構成されているため、1V程度の低い電源電圧でも高速に動作することが可能となる。また、スタンバイ時には、 HV_{th} -PMOSFET・Q1、Q2をオフすることにより、低リーク特性が実現される。

【0015】図2はこのMT-CMOS回路を実際のレイアウトパターンにした図である。すなわち、スタンダードセルSL0'～SLn+1'を配置して、MT-CMOS回路を構成した例を示している。スタンダードセルSL1'～SLn'はそれぞれ論理機能を持った論理ゲートG1～Gnを内蔵している。論理ゲートG1～Gnは LV_{th} -MOSFETで構成されている。論理ゲートG1～Gnの電源端子の一方には高電位の疑似電源線VDDVが接続され、他方には低電位の疑似電源線GNDVが接続されている。疑似電源線VDDV、GNDVは、パワーセルSL0'、SLn+1'の保有する実電源線VDD、GNDから、Q1、Q2を介して電流の供給を受ける。また、スタンダードセルSL1'～SLn'の保有する疑似電源線VDDVおよびGNDVには、論理ゲートG1～Gnにおける LV_{th} -PMOSFETおよびNMOSFETの基板電位をとるための基板電位固定用コンタクトCTVおよびCTGが設けられている。

【0016】このMT-CMOS回路では、スタンダードセルSL1'～SLn'内に疑似電源線VDDV、GNDVの2本の配線を設けるのみでよく、すなわち実電源線VDD、GNDを省略することができ、スタンダードセルSL1'～SLn'の低面積化を図ることができる。本実施例では、実際のレイアウトの結果、従来のMT-CMOS回路に比べ、15%程度の低面積化が可能となることが判った。また、本実施例によれば、スタンダードセルSL1'～SLn'が HV_{th} -MOSFETで構成された通常の論理セルと同様の構成となるため、この通常の論理セルを用いた回路レイアウトをそのまま

応用することができ、設計効率が悪化することがなくなる。

【0017】図3は HV_{th} -MOSFETで構成された通常のCMOS論理セルを用いたときのレイアウトパターンの例である。G1'～Gn'は通常のCMOS論理ゲートである。また、SL0'、SLn+1'は通常のパワーセルである。この場合、論理ゲートG1'～Gn'内のトランジスタを不純物濃度を変更することにより低しきい値化し、パワーセルSL0'、SLn+1'を図2に示したパワーセルSL0'、SLn+1'に置き換えれば、図2と同様のMT-CMOS回路となる。このことから、図4に示すように、過去にすでに通常CMOSで設計した回路ブロックまたはマクロセル（機能回路ブロック）BL内のトランジスタを不純物濃度を変更することにより低しきい値化し、かつ HV_{th} -MOSFET・Q1、Q2およびインバータINVを加えることにより本発明に係るMT-CMOS回路になり、低電源電圧で高速かつスタンバイ時には低リークである特性を持たせることができる。

【0018】なお、上述した実施例において、論理ゲートG1～Gnは、種々の論理ゲート（例えば、アンドゲート、オアゲート、ナンドゲート、ノアゲートなど）が考えられ、各種論理ゲートを複数接続した構成としてもよい。また、上述した実施例においては、Q1、Q2、論理ゲートG1～Gnを構成するトランジスタをMOSFETとしたが、すなわち絶縁ゲート形の電界効果トランジスタとしたが、接合形の電界効果トランジスタを用いてもよい。また、電源セルSL0'、SLn+1'は、必ずしも端に設ける必要はなく、任意の位置に配置してよい。

【0019】

【発明の効果】以上説明したことから明らかなように本発明によれば、低しきい値論理回路におけるPチャネル形の電界効果トランジスタのバックゲートを第1の疑似電源線に接続するようにし、低しきい値論理回路におけるNチャネル形の電界効果トランジスタのバックゲートを第2の疑似電源線に接続するようにしたので、低しきい値論理回路におけるPチャネル形の電界効果トランジスタおよびNチャネル形の電界効果トランジスタの基板電位が第1の疑似電源線および第2の疑似電源線よりとられるものとなり、論理セル内から実電源線を省略することが可能となり、論理セルの低面積化を図ることができるようになる。また、論理セルを HV_{th} -MOSFETで構成された通常の論理セルと同様の構成とすることが可能となるため、この通常の論理セルを用いた回路レイアウトをそのまま応用することができ、設計効率が悪化することがなくなる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す図である。

【図2】図1に示したMT-CMOS回路を実際のレイ

7

アウトパターンにした図である。

【図3】HVth-MOSFETで構成された通常のCMOS論理セルを用いたときのレイアウトパターンを例示する図である。

【図4】過去にすでに通常CMOSで設計された機能回路ブロックに対する本発明の適用例を示す図である。

【図5】従来のMT-CMOS回路を例示する図である。

【図6】論理ゲートの遅延の比較を示す図である。

【図7】MT-CMOS対応のスタンダードセルを用いた従来の回路例を示す図である。

【符号の説明】

Q1 電力制御用MOSFET (HVth-PMOSFET)

(5)

Q2

Vth-NMOSFET)

Q3, Q4

Vth-PMOSFET)

Q5, Q6

Vth-NMOSFET)

VDD

GND

VDDV

GNDV

SLA, SLB

CTV, CTG

SL0' ~ SLn+1'

G1 ~ Gn

特開平7-212217

8

電力制御用MOSFET (H

PチャンネルMOSFET (L

NチャンネルMOSFET (L

実電源線 (高電位)

実電源線 (低電位)

疑似電源線 (高電位)

疑似電源線 (低電位)

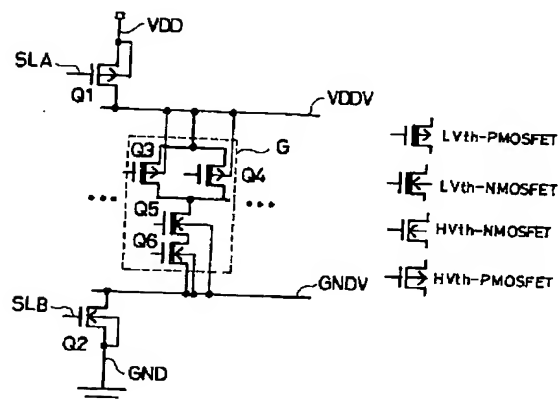
制御線

基板電位固定用コンタクト

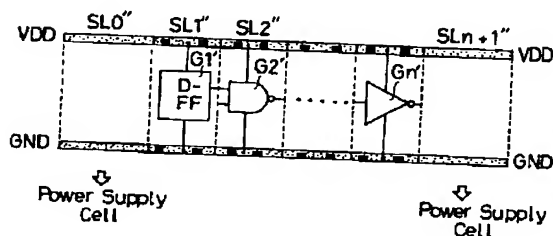
スタンダードセル

論理ゲート

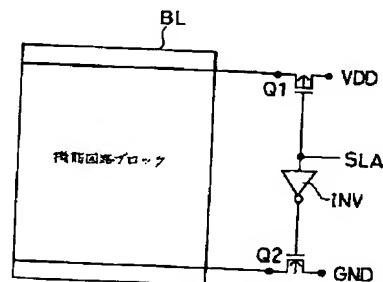
【図1】



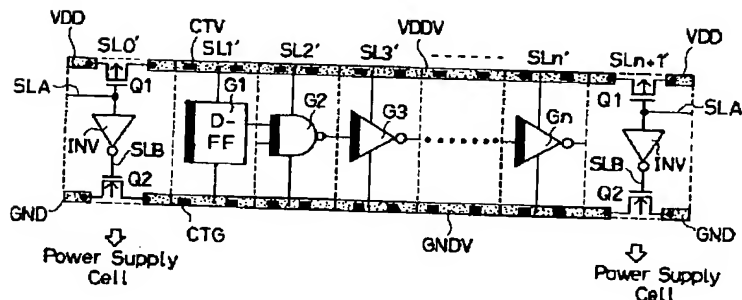
【図3】



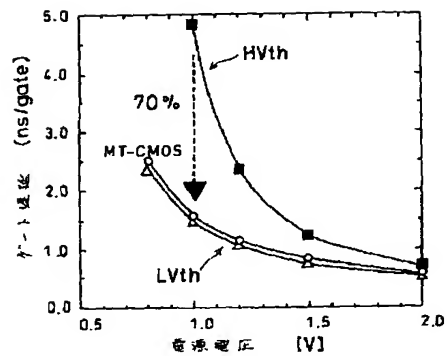
【図4】



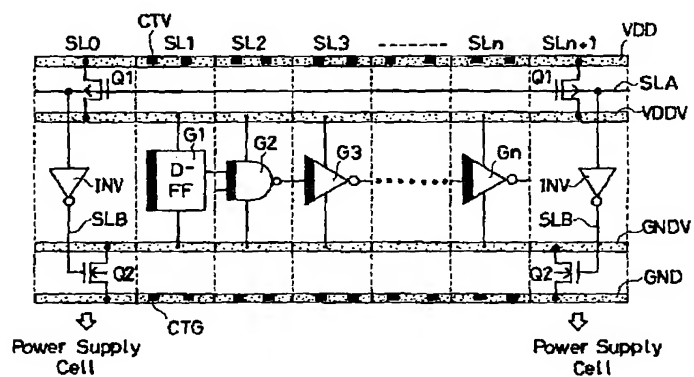
【図2】



【图6】



【图7】



(72)発明者 山田 順三
東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内